

EL DISPLAY DEVICE

Publication number: JP2001236027 (A)

Publication date: 2001-08-31

Inventor(s): NISHI TAKESHI; SHIBATA NORIKO

Applicant(s): SEMICONDUCTOR ENERGY LAB

Classification:

- international: *H01L51/50; G09F9/30; H01L27/32; H05B33/14; H01L51/50; G09F9/30; H01L27/28; H05B33/14*; (IPC1-7): G09F9/30; H05B33/14

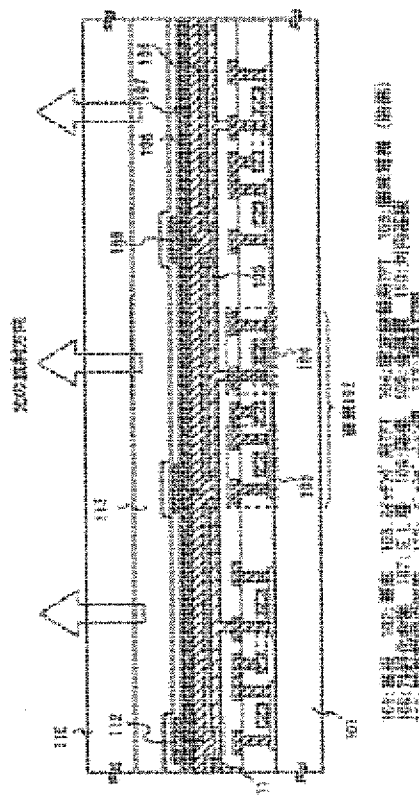
- European:

Application number: JP20000381101 20001214

Priority number(s): JP20000381101 20001214; JP19990356732 19991215

Abstract of JP 2001236027 (A)

PROBLEM TO BE SOLVED: To provide an EL display device in which the average film resistance in the anode in an EL element can be decreased and an image of high definition can be displayed, and to provide an electric appliance equipped with that device. **SOLUTION:** The average film resistance in the anode 108 of the EL element is decreased by applying a light-shielding metal film 109 on the anode 108 so as to fill the gap between pixels. Moreover, leaking of light through the gap between pixels can be prevented, which makes high-definition image display possible.



Family list**10 application(s) for: JP2001236027 (A)****1 Electroluminescent display device****Inventor:** YOSHI KAWASHI [JP] ; TSUNEKO ISHIMARU [JP]**EC:** H01L27/32M2; H01L51/52B2; (+1)**Publication info:** CN1300105 (A) — 2001-06-20
CN1263165 (C) — 2006-07-05**Applicant:** SEMICONDUCTOR ENERGY LAB [JP]**IPC:** H05B33/26; H01L27/32; H01L51/52; (+7)**2 EL display device****Inventor:** NORIKO NISHI TAKESHI ISHIMARU [JP]**EC:** H01L27/32M2; H01L51/52B2; (+1)**Publication info:** CN1901219 (A) — 2007-01-24**Applicant:** SEMICONDUCTOR ENERGY LAB [JP]**IPC:** H01L27/32; H05B33/26; H01L21/82; (+9)**3 EL display device****Inventor:** NISHI TAKESHI [JP] ; ISHIMARA NORIKO [JP]**EC:** H01L27/32M2; H01L51/52B2; (+1)**Publication info:** EP1109225 (A2) — 2001-06-20
EP1109225 (A3) — 2005-10-12**Applicant:** SEMICONDUCTOR ENERGY LAB [JP]**IPC:** H05B33/26; H01L27/32; H01L51/52; (+4)**4 EL DISPLAY DEVICE****Inventor:** NISHI TAKESHI ; SHIBATA NORIKO**EC:****Publication info:** JP2001236027 (A) — 2001-08-31**Applicant:** SEMICONDUCTOR ENERGY LAB**IPC:** H01L51/50; G09F9/30; H01L27/32; (+7)**5 EL DISPLAY DEVICE****Inventor:** ISHIMARU NORIKO ; NISHI TAKESHI**EC:** H01L27/32M2; H01L51/52B2; (+1)**Publication info:** KR20010062490 (A) — 2001-07-07**Applicant:** SEMICONDUCTOR ENERGY LAB KK**IPC:** H05B33/26; H01L27/32; H01L51/52; (+4)**6 EL DISPLAY DEVICE****Inventor:** NISHI TAKESHI [JP] ; ISHIMARU NORIKO [JP]**EC:** H01L27/32M2; H01L51/52B2; (+1)**Publication info:** KR20060012549 (A) — 2006-02-08**Applicant:** SEMICONDUCTOR ENERGY LAB KK [JP]**IPC:** H05B33/10; H05B33/26; H01L27/32; (+5)**7 EL display device****Inventor:** NISHI TAKESHI [JP] ; ISHIMARA NORIKO [JP]**EC:** H01L27/32M2; H01L51/52B2; (+1)**Publication info:** TW511298 (B) — 2002-11-21**Applicant:** SEMICONDUCTOR ENERGY LAB [JP]**IPC:** H05B33/26; H01L27/32; H01L51/52; (+4)**8 EL display device****Inventor:** NISHI TAKESHI [JP] ; ISHIMARU NORIKO [JP]**EC:** H01L27/32M2; H01L51/52B2; (+1)**Publication info:** US2001004190 (A1) — 2001-06-21
US6593691 (B2) — 2003-07-15**Applicant:** SEMICONDUCTOR ENERGY LAB [US]**IPC:** H05B33/26; H01L27/32; H01L51/52; (+5)**9 EL display device****Inventor:** NISHI TAKESHI [JP] ; ISHIMARU NORIKO [JP]**EC:** H01L27/32M2; H01L51/52B2; (+1)**Publication info:** US2004003939 (A1) — 2004-01-08**Applicant:** SEMICONDUCTOR ENERGY LAB [US]**IPC:** H01L27/32; H01L51/52; H01L27/28; (+2)**10 EL display device****Inventor:** NISHI TAKESHI [JP] ; ISHIMARU NORIKO [JP]**EC:** H01L51/52B2; H01L27/32M2; (+1)**Publication info:** US2006286889 (A1) — 2006-12-21**Applicant:** SEMICONDUCTOR ENERGY LAB**IPC:** H05B33/10; H01L51/56; H05B33/10; (+1)

Data supplied from the **esp@cenet** database — Worldwide

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号
特開2001-236027
(P2001-236027A)

(43) 公開日 平成13年8月31日 (2001.8.31)

(51) Int.Cl. ⁷	識別記号	F I	キーワード* (参考)
G 0 9 F 9/30	3 4 9	G 0 9 F 9/30	3 4 9 C
	3 3 8		3 3 8
	3 6 5		3 6 5 Z
H 0 5 B 33/14		H 0 5 B 33/14	A

審査請求 未請求 請求項の数 6 O L (全 18 頁)

(21) 出願番号 特願2000-381101(P2000-381101)

(22) 出願日 平成12年12月14日 (2000. 12. 14)

(31) 優先権主張番号 特願平11-356732

(32) 優先日 平成11年12月15日 (1999. 12. 15)

(33) 優先権主張国 日本 (J P)

(71) 出願人 000153878

株式会社半導体エネルギー研究所
神奈川県厚木市長谷398番地

(72) 発明者 西 毅

神奈川県厚木市長谷398番地 株式会社半
導体エネルギー研究所内

(72) 発明者 柴田 典子

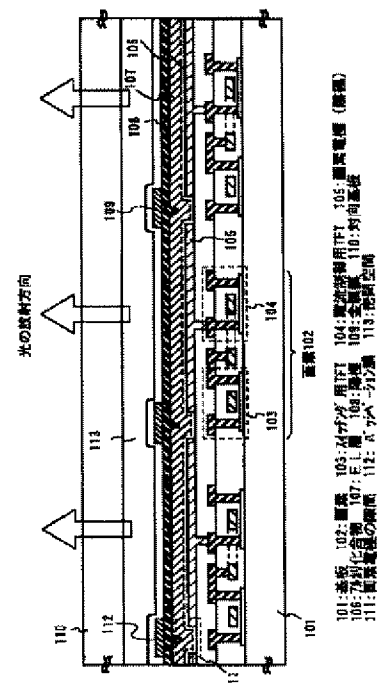
神奈川県厚木市長谷398番地 株式会社半
導体エネルギー研究所内

(54) 【発明の名称】 E L表示装置

(57) 【要約】

【課題】 E L素子中の陽極における平均膜抵抗の低抵抗化および高精細な画像表示が可能なE L表示装置及びそれを具備する電気器具を提供する。

【解決手段】 画素間の隙間を埋めるように遮光性の金属膜109を陽極108上に設けることで、E L素子中の陽極108における平均膜抵抗を低くし、さらに画素間の隙間からの光漏れが防げることで、高精細な画像表示が可能となる。



1

【特許請求の範囲】

【請求項1】 T F T及び該T F Tに電気的に接続された画素電極及び該画素電極を陰極とするE L素子を含む画素が配列されたアクティブマトリクス基板を有するE L表示装置において、遮光性の金属膜1007が前記E L素子の陽極の対向基板側に接し、かつ画素の縁及び画素間の隙間を埋めるように設けられていることを特徴とするE L表示装置。

【請求項2】 T F T及び該T F Tに電気的に接続された画素電極及び該画素電極を陰極とするE L素子を含む画素が配列されたアクティブマトリクス基板を有するE L表示装置において、遮光性の金属膜1007は、前記E L素子の陽極と対向基板に挟まれており、かつ画素の縁及び画素間の隙間を埋めるように設けられていることを特徴とするE L表示装置。

【請求項3】 請求項1または請求項2に記載のE L表示装置において、前記金属膜の膜抵抗が前記陽極の膜抵抗よりも低い金属材料を用いることを特徴とするE L表示装置。

【請求項4】 請求項1乃至請求項3のいずれかに記載のE L表示装置において、前記金属膜は積層構造であることを特徴とするE L表示装置。

【請求項5】 請求項1乃至請求項4のいずれかに記載のE L表示装置において、前記E L素子の陰極のE L層側に起伏部を有することを特徴とするE L表示装置。

【請求項6】 請求項1乃至請求項5のいずれかに記載のE L表示装置を用いたことを特徴とする電気器具。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は半導体素子（半導体薄膜を用いた素子、代表的には薄膜トランジスタ）を基板上に作り込んで形成されたE L（エレクトロルミネッセンス）表示装置及びそのE L表示装置を表示部として有する電気器具に関する。

【0002】

【従来の技術】 近年、基板上に薄膜トランジスタ（以下、T F Tという）を形成する技術が大幅に進歩し、アクティブマトリクス型表示装置への応用開発が進められている。特に、ポリシリコン膜を用いたT F Tは、従来のアモルファスシリコン膜を用いたT F Tよりも電界効果移動度が高いので、高速動作が可能である。そのため、従来、基板外の駆動回路で行っていた画素の制御を、画素と同一の基板上に形成した駆動回路で行うことが可能となっている。

【0003】 このようなアクティブマトリクス型表示装置は、同一基板上に様々な回路や素子を作り込むことで製造コストの低減、表示装置の小型化、歩留まりの上昇、スループットの低減など、様々な利点が得られるとして注目されている。

【0004】 アクティブマトリクス型E L表示装置は、

2

各画素のそれぞれにT F Tからなるスイッチング素子（以下スイッチング用T F Tという）を設け、そのスイッチング用T F Tによって電流制御を行う駆動素子（以下電流制御用T F Tという）を動作させてE L層（厳密には発光層）を発光させる。例えば特開平10-189252号に記載されたE L表示装置がある。

【0005】 E L素子は、電場を加えることで発生するルミネッセンス（Electro Luminescence）が得られる有機化合物を含む層（以下、E L層と記す）と、陽極層と、陰極層とを有する。有機化合物におけるルミネッセンスには、一重項励起状態から基底状態に戻る際の発光（蛍光）と三重項励起状態から基底状態に戻る際の発光（リン光）とがあるが、本発明は、どちらの発光を用いた場合にも適用可能である。

【0006】 なお、本明細書では、陽極と陰極の間に設けられた全ての層をE L層と定義する。E L層には具体的に、発光層、正孔注入層、電子注入層、正孔輸送層、電子輸送層等が含まれる。基本的にE L素子は、陽極／発光層／陰極が順に積層された構造を有しており、この構造に加えて、陽極／正孔注入層／発光層／陰極や、陽極／正孔注入層／発光層／電子輸送層／陰極等の順に積層した構造を有していることもある。

【0007】

【発明が解決しようとする課題】 E L表示装置において、陰極、E L層、及び陽極からなる素子（以下E L素子という）部における陽極の膜抵抗が高くなると電圧降下により陽極の面内電位分布が不均一になり、E L素子の輝度にバラツキを生じるといった不具合が生じる。そこで、本発明は、E L素子における陽極の膜抵抗を低くする、またはそれに相当する効果を有する構造のE L表示装置を提供することを課題とする。そして、そのようなE L表示装置を表示部として用いることで表示部の安定した電気器具を提供することを課題とする。

【0008】

【課題を解決するための手段】 本発明について図1を用いて説明する。図1において、101は絶縁表面を有する基板であり、石英基板などの絶縁基板または表面に絶縁膜を設けたガラス基板、セラミックス基板、結晶化ガラス基板、金属基板もしくはプラスチック基板を用いることができる。

【0009】 基板101上には画素102が形成される。なお、図1では三つの画素を図示しているが、実際にはさらに複数の画素がマトリクス状に形成される。また、ここでは三つの画素の一つを説明するが、他の画素も同じ構造である。

【0010】 画素102には各々スイッチング用T F T 103と電流制御用T F T 104の二つのT F Tが形成される。このとき、スイッチング用T F T 103のドレインは電流制御用T F T 104のゲートに電気的に接続されている。さらに、電流制御用T F T 104のドレイ

3

ンには画素電極（この場合、EL素子の陰極を兼ねる）105が電気的に接続される。こうして画素102が形成される。

【0011】TF Tの各配線及び画素電極は抵抗率の低い金属を用いて形成すれば良い。ここではアルミニウム合金を用いると良い。

【0012】画素電極105まで形成されたら、全ての画素電極の上にアルカリ金属もしくはアルカリ土類金属を含む絶縁性化合物（以下、アルカリ化合物という）106が形成される。なお、アルカリ化合物106の輪郭を点線で示しているのは数nm程度と膜厚が薄いため層状に形成されているのか、島状に点在しているのか不明だからである。

【0013】また、アルカリ化合物としては、フッ化リチウム（LiF）、酸化リチウム（Li₂O）、フッ化バリウム（BaF₂）、酸化バリウム（BaO）、フッ化カルシウム（CaF₂）、酸化カルシウム（CaO）、酸化ストロンチウム（SrO）または酸化セシウム（Cs₂O）を用いることができる。これらは絶縁性であるため、層状に形成されたとしても画素電極間のショート（短絡）を招くようなことはない。

【0014】勿論、MgAg電極のような公知の導電性を有する材料を陰極として用いることも可能であるが、画素電極同士が短絡しないように、陰極自体を選択的に設けるか、パターニングを行う必要がある。

【0015】アルカリ化合物106が形成されたら、その上にEL層（エレクトロルミネッセンス層）107が形成される。EL層107は公知の材料や構造を用いることができる。即ち、再結合の場を提供する発光層だけでEL層としても良いし、必要に応じて電子注入層、電子輸送層、正孔輸送層、電子阻止層、正孔素子層もしくは正孔注入層を積層しても良い。本明細書中では、キャリアの注入、輸送または再結合が行われる層をすべて含めてEL層と呼ぶ。

【0016】また、EL層107として用いる有機物質は低分子系有機物質であってもポリマー系（高分子系）有機物質であっても良い。しかし、スピンコート法や印刷法など容易な成膜方法で形成できるポリマー系有機物質を用いることが望ましい。

【0017】また、図1の構造は単色発光方式を用いた場合の例である。即ち、赤色、青色、緑色、白色、黄色、橙色、紫色などの単色光を発するEL層を用いることにより、モノトーンの画像表示を行う例である。これらの各単色光を発するEL層は、公知の材料で形成すれば良い。

【0018】EL層107の上には、陽極108として透明導電膜が形成される。透明導電膜としては、酸化インジウムと酸化スズとの化合物（ITOと呼ばれる）、酸化インジウムと酸化亜鉛との化合物、酸化スズまたは酸化亜鉛などを用いることが可能である。

4

【0019】また、本明細書中において、金属膜109と陽極108が積層されている部分の膜抵抗および陽極だけの膜抵抗を平均した陽極全体の膜抵抗、すなわち陽極に電気的に接続された部分全体の膜抵抗のことを、陽極の平均膜抵抗と呼ぶことにすると、金属膜109を陽極上に設けることで、陽極における平均膜抵抗を低くすることができる。さらに、金属膜109は、遮光膜としての役割も果たす。

【0020】金属膜109の成膜法としては、陽極への成膜時のダメージを考慮すると蒸着法が望ましい。

【0021】また、金属膜109を設ける際には、観測者の視線方向（対向基板の法線方向）から見て画素電極間の隙間111を隠すように設ける。これは、その部分が非発光部であることと、画素電極の端部では電界が複雑になり所望の輝度もしくは色度で発光させることができないためである。

【0022】以上のようにして金属膜109を形成したら、第2パッシベーション膜112として絶縁膜が設けられる。パッシベーション膜112としては、窒化珪素膜、窒化酸化珪素膜（SiO_xN_yで表される）を用いることが望ましい。酸化珪素膜を用いることも可能であるが、なるべく酸素の含有量が少ない絶縁膜が好ましい。

【0023】ここまで完成した基板を本明細書ではアクティブマトリクス基板と呼ぶ。即ち、TF T、そのTF Tに電気的に接続された画素電極を陰極とし、EL層、陽極、金属膜からなるEL素子の形成された基板をアクティブマトリクス基板と呼ぶ。

【0024】さらに、アクティブマトリクス基板には、EL素子を封入するようにして対向基板110が貼り付けられる。なお、ここでは図示されないが、対向基板110はシール剤によってアクティブマトリクス基板に貼り付けられており、113で示される空間は密閉空間となっている。

【0025】対向基板110としては、光の進行を妨げないように透光性の基板を用いる必要がある。例えば、ガラス基板、石英基板またはプラスチック基板が好ましい。

【0026】また、密閉空間113は不活性ガス（希ガスや窒素ガス）を充填しても良いし、不活性液体を充填しても良い。また、透光性の接着剤や樹脂等を充填して、基板全体を接着させても構わない。さらに、この密閉空間113には酸化バリウム等の乾燥剤を設けておくことが好ましい。EL層107は水分に極めて弱いので、密閉空間113は極力水分が侵入しないようにすることが望ましい。

【0027】以上のような構成からなる本発明のEL表示装置はEL素子から発した光が対向基板を透過して放射されて観測者の目に入る。そのため観測者は対向基板側から画像を認識することができる。このとき、本発明

の EL 表示装置の特徴は、EL 素子の一部である陽極 108 上に抵抗率の低い金属膜 109 が設けられており、さらに金属膜 109 は画素電極 105 の隙間 111 を隠すように設けられている点である。これにより、EL 素子における陽極の平均膜抵抗を低くすることができるだけでなく画素電極 105 の隙間 111 における光漏れの防止ができ、画素間の輪郭が明瞭な画像表示が可能となる。

【0028】以上のように、本発明を実施することにより EL 素子部の陽極の平均膜抵抗を低くし、かつ画素間の輪郭が明瞭な画像表示を行う EL 表示装置や、そのような EL 表示装置を表示部として用いる電気器具を得ることができる。

【0029】

【発明の実施の形態】本発明の実施の形態について、図 2、図 3 を用いて説明する。図 2 に示したのは本発明である EL 表示装置の画素部の断面図であり、図 3 (A) はその上面図、図 3 (B) はその回路構成である。実際には画素がマトリクス状に複数配列されて画素部（画像表示部）が形成される。なお、図 3 (A) を A-A' で切断した断面図が図 2 に相当する。従って図 2 及び図 3 で共通の符号を用いているので、適宜両図面を参照すると良い。また、図 3 の上面図では二つの画素を図示しているが、どちらも同じ構造である。

【0030】図 2 において、11 は基板、12 は下地となる絶縁膜（以下、下地膜という）である。基板 11 としてはガラス基板、ガラスセラミックス基板、石英基板、シリコン基板、セラミックス基板、金属基板若しくはプラスチック基板（プラスチックフィルムも含む）を用いることができる。

【0031】また、下地膜 12 は特に可動イオンを含む基板や導電性を有する基板を用いる場合に有効であるが、石英基板には設けなくても構わない。下地膜 12 としては、珪素（シリコン）を含む絶縁膜を用いれば良い。なお、本明細書において「珪素を含む絶縁膜」とは、具体的には酸化珪素膜、窒化珪素膜若しくは窒化酸化珪素膜（ SiO_xN_y で示される）など珪素、酸素若しくは窒素を所定の割合で含む絶縁膜を指す。

【0032】ここでは画素内に二つの TFT を形成している。201 はスイッチング用素子として機能する TFT（以下、スイッチング用 TFT という）、202 は EL 素子へ流す電流量を制御する電流制御用素子として機能する TFT（以下、電流制御用 TFT という）であり、どちらも n チャネル型 TFT で形成されている。

【0033】n チャネル型 TFT の電界効果移動度は p チャネル型 TFT の電界効果移動度よりも大きいので、動作速度が早く大電流を流しやすい。また、同じ電流量を流すにも TFT サイズは n チャネル型 TFT の方が小さくできる。そのため、n チャネル型 TFT を電流制御用 TFT として用いた方が表示部の有効面積が広がる

ので好ましい。

【0034】p チャネル型 TFT はホットキャリア注入が殆ど問題にならず、オフ電流値が低いといった利点があつて、スイッチング用 TFT として用いる例や電流制御用 TFT として用いる例が既に報告されている。しかしながら本発明では、LDD 領域の位置を異ならせた構造とすることで n チャネル型 TFT においてもホットキャリア注入の問題とオフ電流値の問題を解決し、全ての画素内の TFT 全てを n チャネル型 TFT としている点にも特徴がある。

【0035】ただし、本発明において、スイッチング用 TFT と電流制御用 TFT を n チャネル型 TFT に限定する必要はなく、両方又はどちらか片方に p チャネル型 TFT を用いることも可能である。

【0036】スイッチング用 TFT 201 は、ソース領域 13、ドレイン領域 14、LDD 領域 15a~15d、高濃度不純物領域 16 及びチャネル形成領域 17a、17b を含む活性層、ゲート絶縁膜 18、ゲート電極 19a、19b、第 1 層間絶縁膜 20、ソース配線 21 並びにドレイン配線 22 を有して形成される。

【0037】また、図 3 に示すように、ゲート電極 19a、19b は、ゲート電極 19a、19b よりも低抵抗な別の材料で形成されたゲート配線 21 によって電氣的に接続されたダブルゲート構造となっている。勿論、ダブルゲート構造だけでなく、トリプルゲート構造などいわゆるマルチゲート構造（直列に接続された二つ以上のチャネル形成領域を有する活性層を含む構造）であっても良い。マルチゲート構造はオフ電流値を低減する上で極めて有効であり、本発明では画素のスイッチング素子 201 をマルチゲート構造とすることによりオフ電流値の低いスイッチング素子を実現している。

【0038】また、活性層は結晶構造を含む半導体膜で形成される。即ち、単結晶半導体膜でも良いし、多結晶半導体膜や微結晶半導体膜でも良い。また、ゲート絶縁膜 18 は珪素を含む絶縁膜で形成すれば良い。また、ゲート電極、ソース配線若しくはドレイン配線としてはあらゆる導電膜を用いることができる。

【0039】さらに、スイッチング用 TFT 201 においては、LDD 領域 15a~15d は、ゲート絶縁膜 18 を挟んでゲート電極 19a、19b と重ならないように設ける。このような構造はオフ電流値を低減する上で非常に効果的である。

【0040】また、二つ以上のゲート電極を有するマルチゲート構造の場合、チャネル形成領域の間に設けられた高濃度不純物領域がオフ電流値の低減に効果的である。

【0041】以上のように、マルチゲート構造の TFT を画素のスイッチング素子 201 として用いることにより、十分にオフ電流値の低いスイッチング素子を実現することができる。そのため、特開平 10-189252

号公報の図2のようなコンデンサーを設けなくても十分な時間（選択されてから次に選択されるまでの間）電流制御用TFTのゲート電圧を維持しうる。

【0042】次に、電流制御用TFT202は、ソース領域31、ドレイン領域32、LDD領域33及びチャネル形成領域34を含む活性層、ゲート絶縁膜18、ゲート電極35、第1層間絶縁膜20、ソース配線36並びにドレイン配線37を有して形成される。なお、ゲート電極35はシングルゲート構造となっているが、マルチゲート構造であっても良い。

【0043】図2に示すように、スイッチング用TFT201のドレインは電流制御用TFT202のゲートに接続されている。具体的には電流制御用TFT202のゲート電極35はスイッチング用TFT201のドレイン領域14とドレイン配線（接続配線とも言える）22を介して電氣的に接続されている。また、ソース配線36は電流供給線212（図3（A））に接続される。

【0044】電流制御用TFT202はEL素子203に注入される電流量を制御するための素子であるが、EL素子の劣化を考慮するとあまり多くの電流を流すことは好ましくない。そのため、電流制御用TFT202に過剰な電流が流れないように、チャネル長（L）は長めに設計することが好ましい。望ましくは一画素あたり0.5～2μm（好ましくは1～1.5μm）となるようにする。

【0045】以上のことを踏まえると、図9に示すように、スイッチング用TFTのチャネル長をL1（但し $L1 = L1a + L1b$ ）、チャネル幅をW1とし、電流制御用TFTのチャネル長をL2、チャネル幅をW2とした時、W1は0.1～5μm（代表的には0.5～2μm）、W2は0.5～10μm（代表的には2～5μm）とするのが好ましい。また、L1は0.2～18μm（代表的には2～15μm）、L2は1～50μm（代表的には10～30μm）とするのが好ましい。但し、本発明は以上の数値に限定されるものではない。

【0046】また、スイッチング用TFT201に形成されるLDD領域の長さ（幅）は0.5～3.5μm、代表的には2.0～2.5μmとすれば良い。

【0047】また、図2に示したEL表示装置は、電流制御用TFT202において、ドレイン領域32とチャネル形成領域34との間にLDD領域33が設けられる。ここでは、LDD領域33がゲート絶縁膜18を挟んでゲート電極35に重なっている領域と重なっていない領域とを有する構造を示したが、ゲート絶縁膜18を挟んでゲート電極35に重なっている領域のみをLDD領域33とする構造でもよい。

【0048】電流制御用TFT202は、EL素子203を発光させるための電流を供給すると同時に、その供給量を制御して階調表示を可能とする。そのため、電流を流しても劣化しないようにホットキャリア注入による

劣化対策を講じておく必要がある

【0049】ホットキャリア注入による劣化に関しては、ゲート電極に対してLDD領域が重なった構造が非常に効果的であることが知られている。そのため、ゲート絶縁膜18を挟んでゲート電極35に重なっている領域にLDD領域を設けるという構造が適当であるが、本実施例ではオフ電流対策としてゲート電極に重ならないLDD領域も設けるという構造を示した。しかし、ゲート電極に重ならないLDD領域は、必ずしも設けなくて

10 良い。

【0050】また、ゲート電極に重なったLDD領域の長さが長すぎるとオン電流を低くしてしまい、逆に短すぎるとホットキャリアを防止する効果が弱くなってしまふ。そこで、本実施例では、図2に示すようにこれらを考慮した長さでゲート電極に重なったLDD領域を設け、さらにゲート電極に重なったLDD領域を設けることで生じる容量を保持容量として用いている。

【0051】また、上記構造においてゲート電極とLDD領域とが重なった領域では寄生容量が形成されてしまふため、ソース領域31とチャネル形成領域34の間には設けない方が好ましい。電流制御用TFTはキャリア（ここでは電子）の流れる方向が常に同一であるので、ドレイン領域側のみにLDD領域を設けておけば十分である。

【0052】また、流しうる電流量を多くするという観点から見れば、電流制御用TFT202の活性層（特にチャネル形成領域）の膜厚を厚くする（好ましくは50～100nm、さらに好ましくは60～80nm）ことも有効である。逆に、スイッチング用TFT201の場合はオフ電流値を小さくするという観点から見れば、活性層（特にチャネル形成領域）の膜厚を薄くする（好ましくは20～50nm、さらに好ましくは25～40nm）ことも有効である。

【0053】次に、41は第1パッシベーション膜であり、膜厚は10nm～1μm（好ましくは200～500nm）とすれば良い。材料としては、珪素を含む絶縁膜（特に窒化酸化珪素膜又は窒化珪素膜が好ましい）を用いることができる。

【0054】第1パッシベーション膜41の上には、各TFTを覆うような形で第2層間絶縁膜（平坦化膜と言っても良い）42を形成し、TFTによってできる段差の平坦化を行う。第2層間絶縁膜42としては、有機樹脂膜が好ましく、ポリイミド、ポリアミド、アクリル、BCB（ベンゾシクロブテン）等を用いると良い。勿論、十分な平坦化が可能であれば、無機膜を用いても良い。

【0055】第2層間絶縁膜42によってTFTによる段差を平坦化することは非常に重要である。後に形成されるEL層は非常に薄いので、段差が存在することによって発光不良を起こす場合がある。従って、EL層をで

50

きるだけ平坦面に形成しうるように画素電極を形成する前に平坦化しておくことが望ましい。

【0056】また、43は遮光性を有する導電膜からなる画素電極（EL素子の陰極に相当する）であり、第2層間絶縁膜42及び第1パッシベーション膜41にコンタクトホール（開孔）を開けた後、形成された開孔部において電流制御用TFT202のドレイン配線37に接続されるように形成される。

【0057】画素電極43の上にはアルカリ化合物44として、5～10nm厚のフッ化リチウム膜が蒸着法により形成される。フッ化リチウム膜は絶縁膜なので膜厚が厚すぎるとEL層に電流を流すことができなくなってしまう。また、層状に形成されずに島状に点在するように形成されても問題はない。

【0058】次にEL層45が形成される。本実施形態では、ポリマー系有機物質をスピコート法にて形成する。ポリマー系有機物質としては公知のあらゆる材料を用いることが可能である。また、本実施形態ではEL層45として発光層を単層で用いるが正孔輸送層や電子輸送層と組み合わせた積層構造の方が発光効率は高いものが得られる。但し、ポリマー系有機物質を積層する場合は蒸着法で形成する低分子有機物質と組み合わせることが望ましい。スピコート法では有機溶媒にEL層となる有機物質を混合して塗布するので、下地に有機物質があると再び溶解してしまう恐れがある。

【0059】本実施形態で用いることのできる代表的なポリマー系有機物質としては、ポリパラフェニレンビニレン（PPV）系、ポリビニルカルbazool（PVK）系、ポリフルオレン系などの高分子材料が挙げられる。これらのポリマー系有機物質で電子輸送層、発光層、正孔輸送層または正孔注入層を形成するには、ポリマー前駆体の状態で塗布し、それを真空中で加熱（焼成）することによりポリマー系有機物質に転化すれば良い。

【0060】具体的には、発光層としては、赤色発光層にはシアノポリフェニレンビニレン、緑色発光層にはポリフェニレンビニレン、青色発光層にはポリフェニレンビニレン若しくはポリアルキルフェニレンとすれば良い。膜厚は30～150nm（好ましくは40～100nm）とすれば良い。また、正孔輸送層としては、ポリマー前駆体であるポリテトラヒドロチオフェニルフェニレンを用い、加熱によりポリフェニレンビニレンとする。膜厚は30～100nm（好ましくは40～80nm）とすれば良い。

【0061】また、ポリマー系有機物質を用いて白色発光を行うことも可能である。そのためには、特開平8-96959号公報、特開平7-220871号公報、特開平9-63770号公報等に記載された技術を引用すれば良い。ポリマー系有機物質は、ホスト材料を溶解させた溶液中に蛍光色素を添加することで容易に色調整が可能であるため、白色発光を行う場合には特に有効であ

る。

【0062】以上の例は本発明のEL層として用いることのできる有機物質の一例であって、本発明を限定するものではない。

【0063】また、ここではポリマー系有機物質を用いてEL素子を形成する例を示しているが、低分子系有機物質を用いても構わない。さらには、EL層として無機物質を用いても良い。

【0064】また、EL層45を形成する際、処理雰囲気は極力水分の少ない乾燥雰囲気とし、不活性ガス中で行うことが望ましい。EL層は水分や酸素の存在によって容易に劣化してしまうため、形成する際は極力このような要因を排除しておく必要がある。例えば、ドライ窒素雰囲気、ドライアルゴン雰囲気等が好ましい。そのためには、塗布用処理室や焼成用処理室を、不活性ガスを充填したクリーンブースに設置し、その雰囲気中で処理することが望ましい。

【0065】以上のようにしてEL層45を形成したら、次に透明導電膜からなる陽極46が形成される。本実施形態では陽極46として、酸化インジウムと酸化スズの化合物からなる導電膜を用いる。これに少量のガリウムを添加しても良い。

【0066】次に陽極46上に、遮光性の金属膜47（47a、47b）を形成する。本実施例では、金属膜47は、画素電極43と隣接する画素電極との隙間を隠すように配置され、遮光膜としての効果も有する。なお、本実施形態では、金属膜47としては、陽極46の膜抵抗（シート抵抗ともいう）よりも金属膜47の膜抵抗が低くなるようにする。また、陽極材料との密着性も重要である。なお、密着性を向上させるために適した金属材料を用いることも重要であるが、陽極（本実施例では、酸化インジウムと酸化スズの化合物からなる導電膜）の成膜条件および成膜後の熱処理条件を最適化することも有効である。

【0067】また、金属膜47としては、抵抗率（比抵抗ともいう）の低い金属材料を用いることが望ましい。抵抗率の低い金属材料としては、チタン（Ti）、アルミニウム（Al）、タンタル（Ta）、タングステン（W）、クロム（Cr）、銅（Cu）または銀（Ag）等を用いることが可能である。

【0068】また、本実施形態では、金属膜47が陽極46上に直接形成されることから蒸着法で形成することが望ましい。膜厚は30～100nm（好ましくは40～80nm）とすれば良い。

【0069】以上のようにして金属膜47を形成したら、第2パッシベーション膜48が形成される。本実施形態では、第2パッシベーション膜48として、10nm～1μm（好ましくは200～500nm）の厚さの窒化珪素膜を用いる。

【0070】こうして完成したアクティブマトリクス基

板に対向して、対向基板49を設ける。本実施形態では対向基板49としてガラス基板を用いる。

【0071】また、アクティブマトリクス基板と対向基板49をシール剤（図示せず）で接着し、密閉空間50を形成する。なお、本実施形態では、密閉空間50をアルゴンガスで充填する。勿論、この密閉空間50内に上記乾燥剤を配置することも可能である。

【0072】本実施形態のEL表示装置は図2のような構造の画素からなる画素部を有し、画素内において機能に応じて構造の異なるTFTが配置されている。即ち、オフ電流値の十分に低いスイッチング用TFTと、ホットキャリア注入に強い電流制御用TFTとを同じ画素内に形成することにより、高い信頼性を有し、且つ、EL素子の低抵抗化を可能にしたEL表示装置が得られる。

【0073】

【実施例】〔実施例1〕本発明の実施例について図4～図6を用いて説明する。ここでは、画素部とその周辺に設けられる駆動回路部のTFTを同時に作製する方法について説明する。但し、説明を簡単にするために、駆動回路に関しては基本回路であるCMOS回路を図示することとする。

【0074】まず、図4（A）に示すように、ガラス基板300上に下地膜301を300nmの厚さに形成する。本実施例では下地膜301として窒化酸化珪素膜を積層して用いる。この時、ガラス基板300に接する方の窒素濃度を10～25wt%としておくことと良い。

【0075】また、下地膜301の一部として、図2に示した第1パッシベーション膜41と同様の材料からなる絶縁膜を設けることは有効である。電流制御用TFTは大電流を流すことになるので発熱しやすく、なるべく近いところに放熱効果のある絶縁膜を設けておくことは有効である。

【0076】次に下地膜301の上に50nmの厚さの非晶質珪素膜（図示せず）を公知の成膜法で形成する。なお、非晶質珪素膜に限定する必要はなく、非晶質構造を含む半導体膜（微結晶半導体膜を含む）であれば良い。さらに非晶質シリコンゲルマニウム膜などの非晶質構造を含む化合物半導体膜でも良い。また、膜厚は20～100nmの厚さであれば良い。

【0077】そして、公知の技術により非晶質珪素膜を結晶化し、結晶質珪素膜（多結晶シリコン膜若しくはポリシリコン膜ともいう）302を形成する。公知の結晶化方法としては、電熱炉を使用した熱結晶化方法、レーザー光を用いたレーザーアニール結晶化法、赤外光を用いたランプアニール結晶化法がある。本実施例では、XeClガスを用いたエキシマレーザー光を用いて結晶化する。

【0078】なお、本実施例では線状に加工したパルス発振型のエキシマレーザー光を用いるが、矩形であっても良いし、連続発振型のアルゴンレーザー光や連続発振

型のエキシマレーザー光を用いることもできる。

【0079】本実施例では結晶質珪素膜をTFTの活性層として用いるが、非晶質珪素膜を用いることも可能である。また、オフ電流を低減する必要のあるスイッチング用TFTの活性層を非晶質珪素膜で形成し、電流制御用TFTの活性層を結晶質珪素膜で形成することも可能である。非晶質珪素膜はキャリア移動度が低いため電流を流しにくくオフ電流が流れにくい。即ち、電流を流しにくい非晶質珪素膜と電流を流しやすい結晶質珪素膜の両者の利点を生かすことができる。

【0080】次に、図4（B）に示すように、結晶質珪素膜302上に酸化珪素膜からなる保護膜303を130nmの厚さに形成する。この厚さは100～200nm（好ましくは130～170nm）の範囲で選べば良い。また、珪素を含む絶縁膜であれば他の膜でも良い。この保護膜303は不純物を添加する際に結晶質珪素膜が直接プラズマに曝されないようにするためと、微妙な濃度制御を可能にするために設ける。

【0081】そして、その上にレジストマスク304a、304bを形成し、保護膜303を介してn型を付与する不純物元素（以下、n型不純物元素という）を添加する。なお、n型不純物元素としては、代表的には15族に属する元素、典型的にはリン又は砒素を用いることができる。なお、本実施例ではホスフィン（PH₃）を質量分離しないでプラズマ励起したプラズマドーピング法を用い、リンを $1 \times 10^{18} \text{atoms/cm}^3$ の濃度で添加する。勿論、質量分離を行うイオンインプランテーション法を用いても良い。

【0082】この工程により形成されるn型不純物領域305、306には、n型不純物元素が $2 \times 10^{16} \sim 5 \times 10^{19} \text{atoms/cm}^3$ （代表的には $5 \times 10^{17} \sim 5 \times 10^{18} \text{atoms/cm}^3$ ）の濃度で含まれるようにドーズ量を調節する。

【0083】次に、図4（C）に示すように、保護膜303およびレジスト304a、304bを除去し、添加した15族に属する元素の活性化を行う。活性化手段は公知の技術を用いれば良いが、本実施例ではエキシマレーザー光の照射により活性化する。勿論、パルス発振型でも連続発振型でも良いし、エキシマレーザー光に限定する必要はない。但し、添加された不純物元素の活性化が目的であるので、結晶質珪素膜が溶融しない程度のエネルギーで照射することが好ましい。なお、保護膜303をつけたままレーザー光を照射しても良い。

【0084】なお、このレーザー光による不純物元素の活性化に際して、熱処理による活性化を併用しても構わない。熱処理による活性化を行う場合は、基板の耐熱性を考慮して450～550℃程度の熱処理を行えば良い。

【0085】この工程によりn型不純物領域305、306の端部、即ち、n型不純物領域305、306の周

図に存在するn型不純物元素を添加していない領域との境界部（接合部）が明確になる。このことは、後にTFTが完成した時点において、LDD領域とチャネル形成領域とが非常に良好な接合部を形成しうることを意味する。

【0086】次に、図4（D）に示すように、結晶質珪素膜の不要な部分を除去して、島状の半導体膜（以下、活性層という）307～310を形成する。

【0087】次に、図4（E）に示すように、活性層307～310を覆ってゲート絶縁膜311を形成する。ゲート絶縁膜311としては、10～200nm、好ましくは50～150nmの厚さの珪素を含む絶縁膜を用いれば良い。これは単層構造でも積層構造でも良い。本実施例では110nm厚の窒化酸化珪素膜を用いる。

【0088】次に、200～400nm厚の導電膜を形成し、パターンニングしてゲート電極312～316を形成する。このゲート電極312～316の端部をテーパ状にすることもできる。なお、本実施例ではゲート電極と、ゲート電極に電気的に接続された引き回しのための配線（以下、ゲート配線という）とを別の材料で形成する。具体的にはゲート電極よりも低抵抗な材料をゲート配線として用いる。これは、ゲート電極としては微細加工が可能な材料を用い、ゲート配線には微細加工はできなくとも配線抵抗が小さい材料を用いるためである。勿論、ゲート電極とゲート配線とを同一材料で形成しても構わない。

【0089】また、ゲート電極は単層の導電膜で形成しても良いが、必要に応じて二層、三層といった積層膜とすることが好ましい。ゲート電極の材料としては公知のあらゆる導電膜を用いることができる。ただし、上述のように微細加工が可能、具体的には2μm以下の線幅にパターンニング可能な材料が好ましい。

【0090】代表的には、タンタル（Ta）、チタン（Ti）、モリブデン（Mo）、タングステン（W）、クロム（Cr）、シリコン（Si）から選ばれた元素からなる膜、または前記元素の窒化物膜（代表的には窒化タンタル膜、窒化タングステン膜、窒化チタン膜）、または前記元素を組み合わせた合金膜（代表的にはMo-W合金、Mo-Ta合金）、または前記元素のシリサイド膜（代表的にはタングステンシリサイド膜、チタンシリサイド膜）を用いることができる。勿論、単層で用いても積層して用いても良い。

【0091】本実施例では、50nm厚の窒化タングステン（WN）膜と、350nm厚のタングステン（W）膜とからなる積層膜を用いる。これはスパッタ法で形成すれば良い。また、スパッタガスとしてXe、Ne等の不活性ガスを添加すると応力による膜はがれを防止することができる。

【0092】またこの時、ゲート電極313、316はそれぞれn型不純物領域305、306の一部とゲート

絶縁膜311を挟んで重なるように形成する。この重なった部分が後にゲート電極と重なったLDD領域となる。

【0093】次に、図5（A）に示すように、ゲート電極312～316をマスクとして自己整合的にn型不純物元素（本実施例ではリン）を添加する。こうして形成される不純物領域317～323にはn型不純物領域305、306の1/2～1/10（代表的には1/3～1/4）の濃度でリンが添加されるように調節する。具体的には、 $1 \times 10^{16} \sim 5 \times 10^{18} \text{ atoms/cm}^3$ （典型的には $3 \times 10^{17} \sim 3 \times 10^{18} \text{ atoms/cm}^3$ ）の濃度が好ましい。

【0094】次に、図5（B）に示すように、ゲート電極等を覆う形でレジストマスク324a～324dを形成し、n型不純物元素（本実施例ではリン）を添加して高濃度にリンを含む不純物領域325～331を形成する。ここでもホスフィン（PH₃）を用いたイオンドーピング法で行い、この領域のリンの濃度は $1 \times 10^{20} \sim 1 \times 10^{21} \text{ atoms/cm}^3$ （代表的には $2 \times 10^{20} \sim 5 \times 10^{20} \text{ atoms/cm}^3$ ）となるように調節する。

【0095】この工程によってnチャネル型TFTのソース領域若しくはドレイン領域が形成されるが、スイッチング用TFTでは、図5（A）の工程で形成したn型不純物領域320～322の一部を残す。この残された領域が、図2におけるスイッチング用TFTのLDD領域15a～15dに対応する。

【0096】次に、図5（C）に示すように、レジストマスク324a～324dを除去し、新たにレジストマスク332を形成する。そして、p型不純物元素（本実施例ではボロン）を添加し、高濃度にボロンを含む不純物領域333、334を形成する。ここではジボラン（B₂H₆）を用いたイオンドーピング法により $3 \times 10^{20} \sim 3 \times 10^{21} \text{ atoms/cm}^3$ （代表的には $5 \times 10^{20} \sim 1 \times 10^{21} \text{ atoms/cm}^3$ ）の濃度となるようにボロンを添加する。

【0097】なお、不純物領域333、334には既に $1 \times 10^{20} \sim 1 \times 10^{21} \text{ atoms/cm}^3$ の濃度でリンが添加されているが、ここで添加されるボロンはその少なくとも3倍以上の濃度で添加される。そのため、予め形成されていたn型の不純物領域は完全にp型に反転し、p型の不純物領域として機能する。

【0098】次に、レジストマスク332を除去した後、それぞれの濃度で添加されたn型またはp型不純物元素を活性化する。活性化手段としては、ファーンズアニール法、レーザーアニール法、またはランプアニール法で行うことができる。本実施例では電熱炉において窒素雰囲気中、550℃、4時間の熱処理を行う。

【0099】このとき雰囲気中の酸素を極力排除することが重要である。なぜならば酸素が少しでも存在していると露呈したゲート電極の表面が酸化され、抵抗の増加

を招くと共に後にオーミックコンタクトを取りにくくなるからである。従って、上記活性化工程における処理雰囲気中の酸素濃度は1ppm以下、好ましくは0.1ppm以下とすることが望ましい。

【0100】次に、活性化工程が終了したら図5(D)に示すように300nm厚のゲート配線335を形成する。ゲート配線335の材料としては、アルミニウム(A1)又は銅(Cu)を主成分(組成として50~100%を占める。)とする金属を用いれば良い。配置としては図3のようにゲート配線211とスイッチング用TFTのゲート電極19a、19b(図4(E)の314、315)が電気的に接続するように形成する。

【0101】このような構造とすることでゲート配線の配線抵抗を非常に小さくすることができるため、面積の大きい画像表示領域(画素部)を形成することができる。即ち、画面の大きさが対角10インチ以上(さらには30インチ以上)のEL表示装置を実現する上で、本実施例の画素構造は極めて有効である。

【0102】次に、図6(A)に示すように、第1層間絶縁膜336を形成する。第1層間絶縁膜336としては、珪素を含む絶縁膜を単層で用いるか、2種類以上の珪素を含む絶縁膜を組み合わせた積層膜を用いれば良い。また、膜厚は400nm~1.5μmとすれば良い。本実施例では、200nm厚の窒化酸化珪素膜の上に800nm厚の酸化珪素膜を積層した構造とする。

【0103】さらに、3~100%の水素を含む雰囲気中で、300~450℃で1~12時間の熱処理を行い水素化処理を行う。この工程は熱的に励起された水素により半導体膜の不對結合手を水素終端する工程である。水素化の他の手段として、プラズマ水素化(プラズマにより励起された水素を用いる)を行っても良い。

【0104】なお、水素化処理は第1層間絶縁膜336を形成する前に入れても良い。即ち、200nm厚の窒化酸化珪素膜を形成した後で上記のように水素化処理を行い、その後で残り800nm厚の酸化珪素膜を形成してもよい。

【0105】次に、第1層間絶縁膜336及びゲート絶縁膜311に対してコンタクトホールを形成し、ソース配線337~340と、ドレイン配線341~343を形成する。なお、本実施例ではこの電極を、Ti膜を100nm、Tiを含むアルミニウム膜を300nm、Ti膜150nmをスパッタ法で連続形成した3層構造の積層膜とする。勿論、他の導電膜でも良い。

【0106】次に、50~500nm(代表的には200~300nm)の厚さで第1パッシベーション膜344を形成する。本実施例では第1パッシベーション膜344として300nm厚の窒化酸化珪素膜を用いる。これは窒化珪素膜で代用しても良い。勿論、図2の第1パッシベーション膜41と同様の材料を用いることが可能である。

【0107】なお、窒化酸化珪素膜の形成に先立ってH₂、NH₃等水素を含むガスを用いてプラズマ処理を行うことは有効である。この前処理により励起された水素が第1層間絶縁膜336に供給され、熱処理を行うことで、第1パッシベーション膜344の膜質が改善される。それと同時に、第1層間絶縁膜336に添加された水素が下層側に拡散するため、効果的に活性層を水素化することができる。

【0108】次に、図6(B)に示すように有機樹脂からなる第2層間絶縁膜345を形成する。有機樹脂としてはポリイミド、ポリアミド、アクリル、BCB(ベンゾシクロブテン)等を使用することができる。特に、第2層間絶縁膜345は平坦化の意味合いが強いので、平坦性に優れたアクリルが好ましい。本実施例ではTFTによって形成される段差を十分に平坦化しうる膜厚でアクリル膜を形成する。好ましくは1~5μm(さらには好ましくは2~4μm)とすれば良い。

【0109】次に、第2層間絶縁膜345及び第1パッシベーション膜344に対してコンタクトホールを形成し、ドレイン配線343と電気的に接続される画素電極346を形成する。本実施例では画素電極346として300nm厚のアルミニウム合金膜(1wt%のチタンを含有したアルミニウム膜)を形成する。なお、347は隣接する画素電極の端部である。

【0110】次に、図6(C)に示すように、アルカリ化合物348を形成する。本実施例ではフッ化リチウム膜を5nmの厚さを狙って蒸着法により形成する。そして、その上に100nm厚のEL層349をスピンコート法により形成する。

【0111】本実施例では、白色発光を示すポリマー系有機物質として、特開平8-96959号公報または特開平9-63770号公報に記載された材料を用いる。例えば、1,2-ジクロロメタンに、PVK(ポリビニルカルバゾール)、Bu-PBD(2-(4'-tert-ブチルフェニル)-5-(4''-ピフェニル)-1,3,4-オキサジアゾール)、クマリン6、DCM1(4-ジシアノメチレン-2-メチル-6-p-ジメチルアミノスチリル-4H-ピラン)、TPB(テトラフェニルブタジエン)、ナイルレッドを溶解したものをを用いれば良い。

【0112】なお、本実施例ではEL層349を上記発光層のみの単層構造とするが、必要に応じて電子注入層、電子輸送層、正孔輸送層、正孔注入層、電子阻止層もしくは正孔素子層を設けても良い。

【0113】次に、EL層349を覆って200nm厚の透明導電膜からなる陽極350を形成する。本実施例では酸化インジウムと酸化スズとの化合物からなる膜を蒸着法により形成し、陽極とする。

【0114】次に、陽極350上に抵抗率の低い金属からなる金属膜351を形成する。なお、金属膜351の

膜厚は膜抵抗が陽極 350 の膜抵抗よりも低抵抗となるような金属材料を用いるとよい。

【0115】また、金属膜 351 は、観測者の視線方向（対向基板の法線方向）から見て画素電極間の隙間 111 を隠すように設けられることから、金属膜 351 を成膜した後にエッチング処理を行う。このとき陽極 350 を同時にエッチングしてしまわないようにすることが重要である。本実施例では、エッチング方法としてドライエッチング法を用い、陽極 350 は酸化インジウムと酸化スズとの化合物からなるのでエッチングガスに塩素系

のガスを用いている。

【0116】本実施例では、蒸着法によりチタンとアルミニウムを成膜した積層構造とし、陽極 350 上にチタンを 50 nm、チタンの上にアルミニウムを 250 nm 成膜して、金属膜 351 を形成させる。

【0117】チタンを陽極 350 とアルミニウムの間に挟む構造とすることで陽極 350 とアルミニウム間で生じる電食（電気化学的腐食ともいう）を防ぐことができる。なお、ここで用いたチタンの代わりに窒化チタン（TiN）を用いてもよい。窒化チタンは陽極との電気

的なコンタクトを取りやすいという利点がある。

【0118】なお本実施例では、陽極に対するダメージを考慮して蒸着法を用いたが、スパッタ法を用いても良い。

【0119】本発明における金属膜 351 は積層構造であるが、単層構造としてもよい。

【0120】最後に、プラズマ CVD 法により窒化珪素膜からなる第 2 パッシベーション膜 352 を 100 nm の厚さに形成する。この第 2 パッシベーション膜 352 は EL 層 349 を水分等から保護する。また、EL 層 349 で発生した熱を逃がす役割も果たす。放熱効果をさらに高めるために、窒化珪素膜と炭素膜（好ましくはダイヤモンドライクカーボン膜）を積層して第 2 パッシベーション膜としてもよい。

【0121】こうして図 6（C）に示すような構造のアクティブマトリクス型 EL 表示装置が完成する。ところで、本実施例のアクティブマトリクス型 EL 表示装置は、画素部だけでなく駆動回路部にも最適な構造の TFT を配置することにより、非常に高い信頼性を示し、動作特性も向上しうる。

【0122】まず、極力動作速度を落とさないようにホットキャリア注入を低減させる構造を有する TFT を、駆動回路を形成する CMOS 回路の n チャネル型 TFT 205 として用いる。なお、ここでいう駆動回路としては、シフトレジスタ、パッファ、レベルシフト、サンプリング回路（サンプル及びホールド回路）などが含まれる。デジタル駆動を行う場合には、D/A コンバータなどの信号変換回路も含まれうる。

【0123】本実施例の場合、図 6（C）に示すように、n チャネル型 205 の活性層は、ソース領域 35

5、ドレイン領域 356、LDD 領域 357 及びチャネル形成領域 358 を含み、LDD 領域 357 はゲート絶縁膜 311 を挟んでゲート電極 313 と重なっている。

【0124】ドレイン領域側のみに LDD 領域を形成しているのは、動作速度を落とさないための配慮である。また、この n チャネル型 TFT 205 はオフ電流値をあまり気にする必要はなく、それよりも動作速度を重視した方がよい。従って、LDD 領域 357 は完全にゲート電極に重なってしまい、極力抵抗成分を少なくすることが望ましい。即ち、いわゆるオフセットはなくした方がよい。

【0125】また、CMOS 回路の p チャネル型 TFT 206 は、ホットキャリア注入による劣化が殆ど気にならないので、特に LDD 領域を設けなくても良い。勿論、n チャネル型 TFT 205 と同様に LDD 領域を設け、ホットキャリア対策を講じることも可能である。

【0126】なお、駆動回路の中でもサンプリング回路は他の回路と比べて少し特殊であり、チャネル形成領域を双方向に大電流が流れる。即ち、ソース領域とドレイン領域の役割が入れ替わるのである。さらに、オフ電流値を極力低く抑える必要があり、そういった意味でスイッチング用 TFT と電流制御用 TFT の中間程度の機能を有する TFT を配置することが望ましい。

【0127】従って、サンプリング回路を形成する n チャネル型 TFT は、図 10 に示すような構造の TFT を配置することが望ましい。図 10 に示すように、LDD 領域 901a、901b の一部がゲート絶縁膜 902 を挟んでゲート電極 903 と重なる。この効果は電流制御用 TFT 202 の説明で述べた通りであり、サンプリング回路の場合はチャネル形成領域 904 を挟む形で設ける点異なる。

【0128】なお、実際には図 6（C）まで完成したら、図 1、図 2 で説明したようにアクティブマトリクス基板と対向基板をシール剤で接着する。その際、アクティブマトリクス基板と対向基板に挟まれた密閉空間の内部を不活性雰囲気にしたり、内部に吸湿性材料（例えば酸化バリウム）を配置すると内部に含まれる EL 層の信頼性（寿命）を向上させることができる。

【0129】また、アクティブマトリクス基板と対向基板を接着する処理が完了したら、基板上に形成された素子又は回路から引き回された端子と外部信号端子とを接続するためのコネクタ（フレキシブルプリントサーキット：FPC）を取り付けて製品として完成する。

【0130】ここで本実施例のアクティブマトリクス型 EL 表示装置の構成を図 7 の斜視図を用いて説明する。本実施例のアクティブマトリクス型 EL 表示装置は、ガラス基板 601 上に形成された、画素部 602 と、ゲート側駆動回路 603 と、ソース側駆動回路 604 で構成される。画素部のスイッチング用 TFT 605 は n チャネル型 TFT であり、ゲート側駆動回路 603 に接続さ

10

20

30

40

50

れたゲート配線 606、ソース側駆動回路 604 に接続されたソース配線 607 の交点に配置されている。また、スイッチング用 TFT 605 のドレインは電流制御用 TFT 608 のゲートに接続されている。

【0131】さらに、電流制御用 TFT 608 のソース側は電流供給線 609 に接続される。本実施例のような構造では、電流供給線 609 には所定の電圧が与えられている。また、電流制御用 TFT 608 のドレインには EL 素子 610 が接続されている。

【0132】そして、外部入出力端子となる FPC 611 には駆動回路まで信号を伝達するための接続配線（接続配線）612、613、及び電流供給線 609 に接続された接続配線 614 が設けられている。

【0133】また、図 7 に示した EL 表示装置の回路構成の一例を図 8 に示す。本実施例の EL 表示装置は、ソース側駆動回路 701、ゲート側駆動回路（A）707、ゲート側駆動回路（B）711、画素部 706 を有している。なお、本明細書中において、駆動回路とはソース側処理回路およびゲート側駆動回路を含めた総称である。

【0134】ソース側駆動回路 701 は、シフトレジスタ 702、レベルシフト 703、バッファ 704、サンプリング回路（サンプル及びホールド回路）705 を備えている。また、ゲート側駆動回路（A）707 は、シフトレジスタ 708、レベルシフト 709、バッファ 710 を備えている。ゲート側駆動回路（B）711 も同様な構成である。

【0135】ここでシフトレジスタ 702、708 は駆動電圧が 5～16V（代表的には 10V）であり、回路を形成する CMOS 回路に使われる n チャネル型 TFT は図 6（C）の 205 で示される構造が適している。

【0136】また、レベルシフト 703、709、バッファ 704、710 はシフトレジスタと同様に、図 6（C）の n チャネル型 TFT 205 を含む CMOS 回路が適している。なお、ゲート配線をダブルゲート構造、トリプルゲート構造といったマルチゲート構造とすることは、各回路の信頼性を向上させる上で有効である。

【0137】また、サンプリング回路 705 はソース領域とドレイン領域が反転する上、オフ電流値を低減する必要があるので、図 10 の n チャネル型 TFT 208 を含む CMOS 回路が適している。

【0138】また、画素部 706 には、図 2 に示した構造の画素が適している。

【0139】なお、上記構成は、図 4～6 に示した作製工程に従って TFT を作製することによって容易に実現することができる。また、本実施例では画素部と駆動回路の構成のみ示しているが、本実施例の作製工程に従えば、その他にも信号分割回路、D/A コンバータ回路、オペアンプ回路、γ 補正回路など駆動回路以外の論理回路を同一基板上に形成することが可能であり、さらには

メモリ部やマイクロプロセッサ等を形成しうると考えている。

【0140】さらに、本実施例の EL 表示装置について図 11（A）、（B）を用いて説明する。なお、必要に応じて図 7、図 8 で用いた符号を引用することにする。

【0141】基板（TFT の下の下地膜を含む）1000 はアクティブマトリクス基板であり、基板上に画素部 1001、ソース側駆動回路 1002、ゲート側駆動回路 1003 が形成されている。それぞれの駆動回路から

【0142】このとき少なくとも画素部、好ましくは駆動回路及び画素部を囲むようにして対向基板 1004 を設ける。なお、対向基板 1004 とアクティブマトリクス基板 1000 の間に密閉空間 1006 を形成するように接着剤（シール剤）1005 で接着する。このとき、EL 素子は完全に前記密閉空間 1006 に封入された状態となり、外気から遮断される。

【0143】また、本実施例では接着剤 1005 として光硬化性のエポキシ系樹脂を用いるが、アクリレート系樹脂等の接着剤を用いることも可能である。また、EL 層の耐熱性が許せば熱硬化性樹脂を用いることもできる。但し、可能な限り酸素や水分を透過しない材質であることが必要である。接着剤 1005 はディスペンサー等の塗布装置を用いて形成すれば良い。

【0144】さらに、本実施例では対向基板 1004 とアクティブマトリクス基板 1000 との間の密閉空間 1006 には窒素ガスを充填しておく。さらに、図 11（A）の黒く塗りつぶされている部分 1007 は金属膜を示しているが、実際には、陽極 1008 上で全ての画素電極間の隙間を埋めるように設けられている。本実施例では金属膜 1007 としてチタンとアルミニウムを蒸着させた積層構造の金属膜を用いる。

【0145】また、図 11（B）に示すように、画素部には個々に孤立した EL 素子を有する複数の画素が設けられ、それらは全て陽極 1008 を共通電極としている。このとき、EL 層は画素部のみ設ければよく、駆動回路の上に設ける必要はない。EL 層を選択的に設けるには、シャドーマスクを用いた蒸着法、リフトオフ法、ドライエッチング法もしくはレーザースクライブ法を用いれば良い。

【0146】陽極 1008 は、接続配線 1009 に電気的に接続される。接続配線 1009 は陽極 1008 に所定の電圧を与えるための電流供給線であり、異方導電性フィルム 1010 を介して FPC 611 に電気的に接続される。なお、ここでは接続配線 1009 について説明したが、他の接続配線 612～614 も同様にして FPC 611 に電気的に接続される。

【0147】以上説明したような図 11 に示す状態は、FPC 611 を外部機器の端子に接続することで画素部

に画像を表示することができる。本明細書中では、FPCを取り付けることで画像表示が可能な状態となる物品、即ち、アクティブマトリクス基板と対向基板とを貼り合わせ、FPCが取り付けられているモジュールをEL表示装置と定義している。

【0148】〔実施例2〕実施例1ではトップゲート型TFTの場合について説明したが、本発明はTFT構造に限定されるものではないので、ボトムゲート型TFT（代表的には逆スタガ型TFT）を用いて実施しても構わない。また、逆スタガ型TFTは如何なる手段で形成されたものでも良い。

【0149】逆スタガ型TFTは工程数がトップゲート型TFTよりも少なくし易い構造であるため、本発明の課題である製造コストの低減には非常に有利である。なお、本実施例の構成は、実施例1の構成と組み合わせることが可能である。

【0150】〔実施例3〕図3（B）ではEL表示装置の画素においてスイッチング用TFTをマルチゲート構造とすることによりスイッチング用TFTのオフ電流値を低減し、保持容量の必要性を排除している。しかしながら、従来通りに保持容量を設ける構造としてもよい。その場合、図12に示すように、スイッチング用TFT201のドレインに対して電流制御用TFT202のゲートと並列に保持容量1301を形成することになる。

【0151】なお、本実施例の構成は、実施例1、2のいずれの構成とも自由に組み合わせることができる。即ち、画素内に保持容量が設けられるだけであって、TFT構造やEL層の材料等に限定を加えるものではない。

【0152】〔実施例4〕実施例1では、結晶質珪素膜302の形成手段としてレーザー結晶化を用いているが、本実施例では異なる結晶化手段を用いる場合について説明する。

【0153】なお、本実施例では、非晶質珪素膜を形成した後、特開平7-130652号公報に記載された技術を用いて結晶化を行う。同公報に記載された技術は、結晶化を促進（助長）する触媒として、ニッケル等の元素を用い、結晶性の高い結晶質珪素膜を得る技術である。

【0154】また、結晶化工程が終了した後で、結晶化に用いた触媒を除去する工程を行っても良い。その場合、特開平10-270363号若しくは特開平8-330602号に記載された技術により触媒をゲッタリングすれば良い。

【0155】また、本出願人による特願平11-076967の出願明細書に記載された技術を用いてTFTを形成しても良い。

【0156】以上のように、実施例1に示した作製工程は一実施例であって、図2又は実施例1の図6（C）の構造が実現できるのであれば、他の作製工程を用いても問題はない。

【0157】なお、本実施例の構成は、実施例1～3のいずれの構成とも自由に組み合わせることが可能である。

【0158】〔実施例5〕実施例1では、EL素子中の陽極108上に金属膜109が画素電極間の隙間111を隠すように設けられている構造を示しているが、本実施例では、図15に示すように陽極108上に金属薄膜114を設け、この金属薄膜114が陽極108と金属膜109との間に挟まれる構造をとる場合について説明する。

【0159】金属薄膜114の膜厚は、透光性を失わない程度の膜厚とし、10～50nm程度（好ましくは、20～30nm）とする。なお、金属薄膜114上には実施例1と同様に金属膜109を設ければよい。

【0160】EL素子中の陽極108上に金属薄膜114及び金属膜109を積層させることで、陽極の平均膜抵抗を低くすることができる。

【0161】なお、本実施例の構成は、実施例1～4のいずれの構成とも自由に組み合わせることが可能である。

【0162】〔実施例6〕実施例1では、EL素子中の陽極108上に金属膜109が画素電極間の隙間111を隠すように設けられている構造を示しているが、本実施例では、図15に示すように陽極108上にクロムからなる金属薄膜114を設け、この金属薄膜114が陽極108と金属膜109との間に挟まれる構造をとる場合について説明する。

【0163】金属薄膜114の膜厚は、透光性を失わない程度の膜厚とし、50nm程度（好ましくは、30nm）とする。なお、金属薄膜114上には実施例1と同様に金属膜109を設ければよい。

【0164】EL素子中の陽極108上に金属薄膜114及び金属膜109を積層させることで陽極108の平均膜抵抗を低くすることができる。

【0165】なお、本実施例において陽極108が、酸化インジウムと酸化スズの化合物からなり、金属膜109がアルミニウムからなる場合、クロムからなる金属薄膜114を用いることで、陽極108と金属膜109間に生じる電食を防ぐ役割を果たしている。

【0166】また、本実施例において用いたクロムからなる金属薄膜114とアルミニウムからなる金属膜109は、塩素系のエッチングガスを用いた際に十分な選択比を有していることから金属膜109のみを部分的にドライエッチングする際に有効である。

【0167】なお、本実施例の構成は、実施例1～5のいずれの構成とも自由に組み合わせることが可能である。

【0168】〔実施例7〕本発明のEL表示装置を駆動するにあたって、画像信号としてアナログ信号を用いたアナログ駆動を行うこともできるし、デジタル信号を用

いたデジタル駆動を行うこともできる。

【0169】アナログ駆動を行う場合、スイッチング用TFTのソース配線にはアナログ信号が送られ、その階調情報を含んだアナログ信号が電流制御用TFTのゲート電圧となる。そして、電流制御用TFTでEL素子に流れる電流を制御し、EL素子の発光強度を制御して階調表示を行う。

【0170】一方、デジタル駆動を行う場合、アナログ的な階調表示とは異なり、時分割階調方式と呼ばれる階調表示を行う。即ち、発光時間の長さを調節すること

で、視覚的に色階調が変化しているように見せる。
【0171】EL素子は液晶素子に比べて非常に応答速度が速いため、高速で駆動することが可能である。そのため、1フレームを複数のサブフレームに分割して階調表示を行う時分割階調方式に適した素子であると言える。

【0172】このように、本発明は素子構造に関する技術であるので、駆動方法は如何なるものであっても構わない。

【0173】なお、本実施例の構成は、実施例1～6のいずれの構成とも自由に組み合わせることが可能である。

【0174】〔実施例8〕EL表示装置は自発光により画像表示を行うため、バックライトを必要としない。また、反射型液晶表示装置は屋外の光を用いて画像表示を行える点に特徴があるが、暗い所では明るさが足りずに結局バックライトが必要となる。その点、EL表示装置は暗い所であっても自発光型であるから何ら問題は無い。

【0175】しかしながら、実際にEL表示装置を表示部とする電子装置を屋外で使う場合、当然暗い所で見ると場合も明るい所で見ると場合もある。このとき、暗い所ではさほど輝度が高くなくても十分に認識できるが、明るい所では輝度が高くないと認識できない場合がありうる。

【0176】EL層の発光は流す電流量によって変化するため、輝度を高くするには流す電流も増え、それに伴って消費電力も増してしまう。しかし、発光輝度をそのような高いレベルに合わせてしまうと、暗い所では消費電力ばかり大きく、必要以上に明るい表示となってしまうことになる。

【0177】そのような場合に備えて、本発明のEL表示装置には、外部の明るさをセンサーで感知して、明るさの程度に応じてEL層の発光輝度を変える機能を持たせることが望ましい。即ち、明るい所では発光輝度を高くし、暗い所では発光輝度を低くして消費電力の増加を防ぐ。その結果、本発明のEL表示装置の消費電力を低減することが可能となる。

【0178】なお、外部の明るさを感知するセンサーとしては、CMOSセンサーやCCD等を用いることがで

きる。CMOSセンサーは公知の技術を用いてEL表示装置の駆動回路や画素部と同一の基板上に形成すれば良い。また、CCDを形成した半導体チップをEL表示装置に貼り付けても良いし、EL表示装置を表示部として用いた電子装置の一部にCCDやCMOSセンサーを設ける構成としても構わない。

【0179】こうして外部の明るさを感知するセンサーによって得られた信号に応じて、EL層に流す電流を変えるための回路を設け、それにより外部の明るさに応じてEL層の発光輝度を調節しうる。

【0180】なお、本実施例の構成は、実施例1～実施例7のいずれの構成とも自由に組み合わせる実施することが可能である。

【0181】〔実施例9〕本発明を実施して形成されたEL表示装置は、自発光型であるため液晶表示装置に比べて明るい場所での視認性に優れ、しかも視野角が広い。従って、様々な電気器具の表示部として用いることができる。例えば、TV放送等を大画面で鑑賞するには対角30インチ以上（典型的には40インチ以上）のELディスプレイ（EL表示装置を筐体に組み込んだディスプレイ）の表示部として本発明のEL表示装置を用いるとよい。

【0182】なお、ELディスプレイには、パソコン用ディスプレイ、TV放送受信用ディスプレイ、広告表示用ディスプレイ等の全ての情報表示用ディスプレイが含まれる。また、その他にも様々な電気器具の表示部として本発明のEL表示装置を用いることができる。

【0183】その様な電気器具としては、ビデオカメラ、デジタルカメラ、ゴーグル型ディスプレイ（ヘッドマウントディスプレイ）、カーナビゲーションシステム、カーオーディオ、ノート型パーソナルコンピュータ、ゲーム機器、携帯情報端末（モバイルコンピュータ、携帯電話、携帯型ゲーム機または電子書籍等）、記録媒体を備えた画像再生装置（具体的にはコンパクトディスク（CD）、レーザーディスク（LD）又はデジタルビデオディスク（DVD）等の記録媒体を再生し、その画像を表示しうるディスプレイを備えた装置）などが挙げられる。特に、斜め方向から見ることの多い携帯情報端末は視野角の広さが重要視されるため、EL表示装置を用いることが望ましい。それら電気器具の具体例を図13に示す。

【0184】図13（A）はELディスプレイであり、筐体2001、支持台2002、表示部2003等を含む。本発明は表示部2003に用いることができる。ELディスプレイは自発光型であるためバックライトが必要なく、液晶ディスプレイよりも薄い表示部とすることができる。

【0185】図13（B）はビデオカメラであり、本体2101、表示部2102、音声入力部2103、操作スイッチ2104、バッテリー2105、受像部210

10

20

30

40

50

6等を含む。本発明のEL表示装置は表示部2102に用いることができる。

【0186】図13(C)は頭部取り付け型のELディスプレイの一部(右片側)であり、本体2201、信号ケーブル2202、頭部固定バンド2203、投影部2204、光学系2205、表示部2206等を含む。本発明は表示部2206に用いることができる。

【0187】図13(D)は記録媒体を備えた画像再生装置(具体的にはDVD再生装置)であり、本体2301、記録媒体(CD、LDまたはDVD等)2302、操作スイッチ2303、表示部(a)2304、表示部(b)2305等を含む。表示部(a)は主として画像情報を表示し、表示部(b)は主として文字情報を表示するが、本発明のEL表示装置はこれら表示部(a)、(b)に用いることができる。なお、記録媒体を備えた画像再生装置には、CD再生装置、ゲーム機器なども含まれる。

【0188】図13(E)は携帯型(モバイル)コンピュータであり、本体2401、カメラ部2402、受像部2403、操作スイッチ2404、表示部2405等を含む。本発明のEL表示装置は表示部2405に用いることができる。

【0189】図13(F)はパーソナルコンピュータであり、本体2501、筐体2502、表示部2503、キーボード2504等を含む。本発明のEL表示装置は表示部2503に用いることができる。

【0190】なお、将来的にEL材料の発光輝度が高くなれば、出力した画像情報を含む光をレンズ等で拡大投影してフロント型若しくはリア型のプロジェクターに用いることも可能となる。

【0191】また、上記電気器具はインターネットやCATV(ケーブルテレビ)などの電子通信回線を通じて配信された情報を表示することが多くなり、特に動画情報を表示する機会が増してきている。EL材料の応答速度は非常に高いため、EL表示装置は動画表示に好ましいが、画素間の輪郭がぼやけてしまつては動画全体もぼやけてしまう。従つて、画素間の輪郭を明瞭にするという本発明のEL表示装置を電気器具の表示部として用いることは極めて有効である。

【0192】また、EL表示装置は発光している部分が電力を消費するため、発光部分が極力少なくなるように情報を表示することが望ましい。従つて、携帯情報端末、特に携帯電話やカーオーディオのような文字情報を主とする表示部にEL表示装置を用いる場合には、非発光部分を背景として文字情報を発光部分で形成するように駆動することが望ましい。

【0193】ここで図14(A)は携帯電話であり、本体2601、音声出力部2602、音声入力部2603、表示部2604、操作スイッチ2605、アンテナ2606を含む。本発明のEL表示装置は表示部260

4に用いることができる。なお、表示部2604は黒色の背景に白色の文字を表示することで携帯電話の消費電力を抑えることができる。

【0194】また、図14(B)はカーオーディオであり、本体2701、表示部2702、操作スイッチ2703、2704を含む。本発明のEL表示装置は表示部2702に用いることができる。なお、表示部2704においては、黒色の背景に白色の文字を表示することで消費電力を抑えることも可能である。

【0195】以上の様に、本発明の適用範囲は極めて広く、あらゆる分野の電気器具に用いることが可能である。また、本実施例の電気器具は実施例1〜実施例8の構成を自由に組み合わせたEL表示装置を用いることで得ることができる。

【0196】〔実施例10〕本発明においてEL層で発した光のうち、陰極側に向かって光を発したものは、一旦、陰極で反射された後に陽極側から出てくることになる。

【0197】この場合、EL層が発光している部分は、発光層の材料に応じた波長の光が視認できるが、発光していない部分では、陽極及びEL層を透過して陰極の裏面側(発光層側の)表面が見える。そのため陰極の裏面が鏡のように作用して観測者の顔が移り込むという問題が生じる。そこで、本実施例では、これを避けるための例について説明する。

【0198】最も簡単な方法としては、EL表示装置に円偏光フィルムを貼り付けるという方法が可能である。しかし、円偏光フィルムは高価であるためコストが高くなってしまうという問題がある。その他には陰極の反射面に(発光層側に接する面)に起伏部を設けて陰極の反射面において反射光を散乱させるという方法が可能である。

【0199】具体的には、陽極側から入射した可視光(外光)を陰極の反射面で乱反射させることにより観測者から陰極の反射面が視認されないようにするというものである。

【0200】陰極の反射面に設ける起伏部は、凹状の窪みが設けられていても良いし、凸状の突起が設けられていても良い。また、凹凸が繰り返された波形表面となつていても良い。これらの起伏部は、フォトリソグラフィ、ホログラフィー(例えば、「シャープ技報、第74号、pp16-19、1999年8月号」に記載された凹凸反射構造)の形成技術等を用いても良いし、プラズマ処理やエッチング処理等の表面処理により形成しても良い。また、陰極(または、その下地になる電極)の成膜条件で起伏部を表面に自然発生させても良い。

【0201】すなわち、規則的に設けられても、不規則に設けられていても良いが、一画素の面内で平均的に乱反射が起こるように設けられていなくてはならない。また、陰極に接する他の薄膜に起伏部を形成することもで

きる。特にアルミニウム膜に起伏部を形成する手段として、特開平 9-69642 号公報、特開平 10-144927 号公報を引用することができる。すなわちアルミニウム膜を上記公報に基づいて形成し、その上に陰極を積層することによって、起伏部を有する陰極を得ることができる。

【０２０２】以上の方法を本発明に用いることで、陰極裏面における観測者の顔の映り込みを防ぐことができる。なお、本実施例の構成は、実施例１～実施例９の構成と自由に組み合わせて実施することが可能である。

【 0 2 0 3 】

【発明の効果】本発明を実施することで、陽極上に設けられた金属膜により陽極の平均膜抵抗を低くすることが可能となる。さらに上記金属膜が遮光性であり、画素間の隙間を隠すように設けられていることから画素部において画素間の輪郭を明瞭なものとすることができ、高精細な画像表示のＥＬ表示装置を得ることが可能となる。また、本発明のＥＬ表示装置を表示部として用いることにより、信頼性が高く、視認性の高い電気器具を得ることができる。

【図面の簡単な説明】

【図 1】 EL 表示装置の画素部を示す図。

【図 2】 EL 表示装置の画素の断面構造を示す図。

【図 3】 EL 表示装置の画素部の上面構造及び構成を示す図。

【図4】 アクティブマトリクス型EL表示装置の作製工程を示す図。

【図5】 アクティブマトリクス型EL表示装置の作製工程を示す図。

【図6】 アクティブマトリクス型EL表示装置の作製工程を示す図。

【図 7】 ELモジュールの外観を示す図。

【図 8】 EL 表示装置の回路構成を示す図。

【図9】 EL表示装置の画素を拡大した図。

【図10】 EL表示装置のサンプリング回路の構造を示す図。

【図 11】 EL モジュールの外観及び断面構造を示す図。

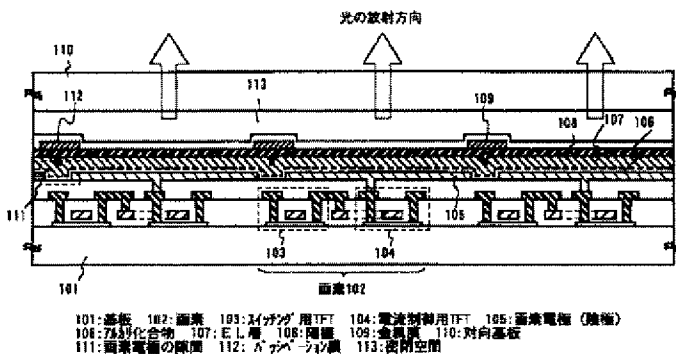
【図 12】 EL 表示装置の画素の構成を示す図。

【図13】 電気器具の具体例を示す図。

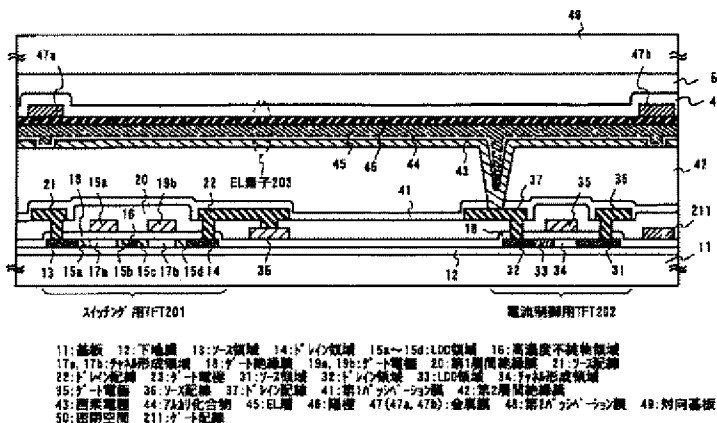
【図14】 電気器具の具体例を示す図。

【図 15】 EL 表示装置の画素部を示す図。

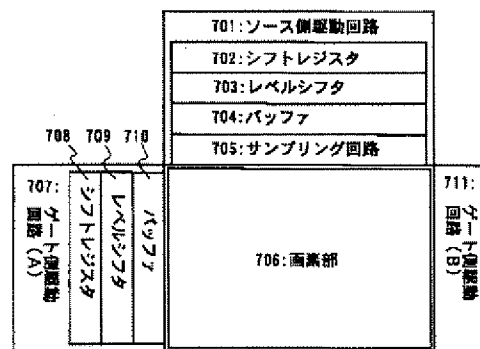
【図 1】



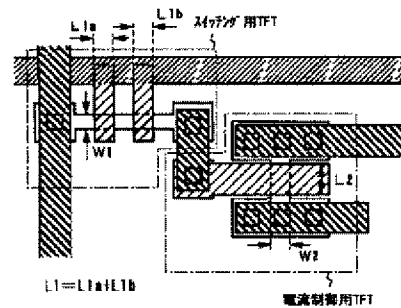
【图 2】



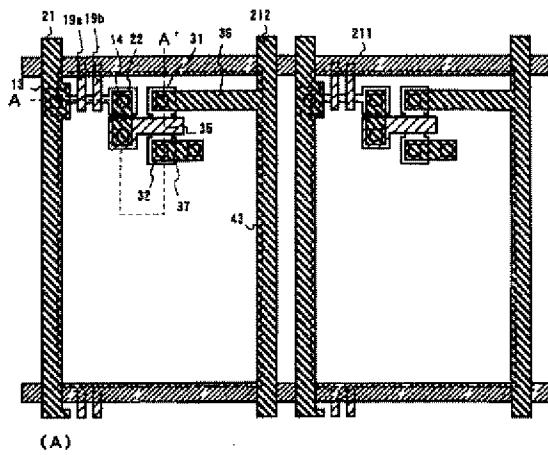
【图 8】



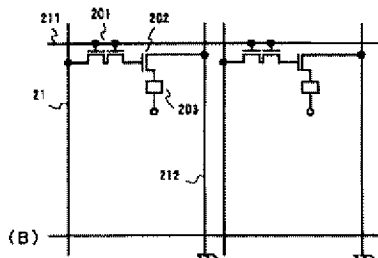
【图9】



【図3】

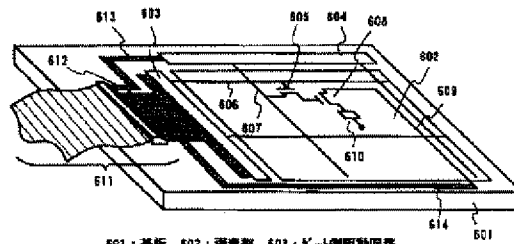


(A)



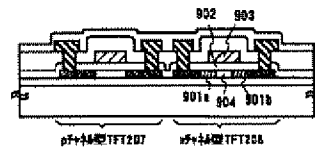
(B)

【図7】



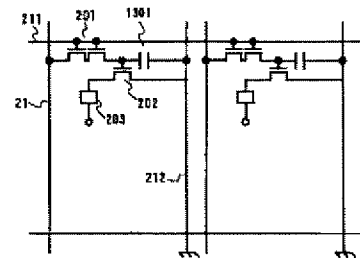
601: 基板 602: 遮光部 603: γ-1側駆動区画
604: γ-2側駆動区画 605: 24パング用TFT 606: γ-1配線
607: γ-2配線 608: 電流制御用TFT 609: 電流供給線
610: EL素子 611: FPC 612~614: 入出力配線

【図10】

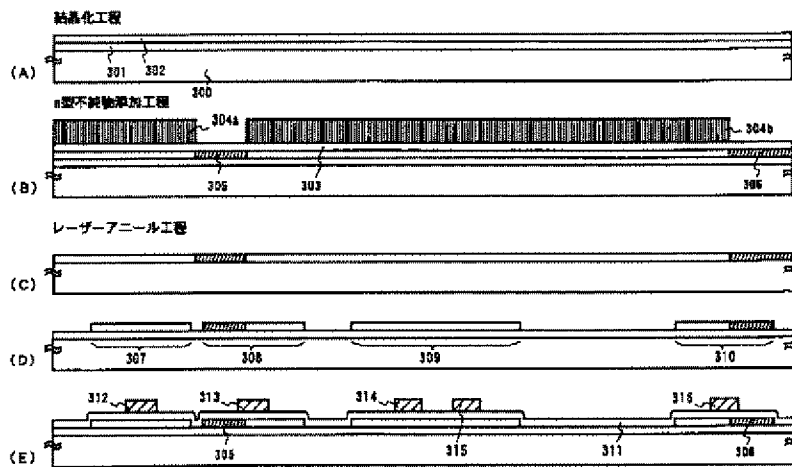


p+44層TFT207 n+44層TFT208

【図12】

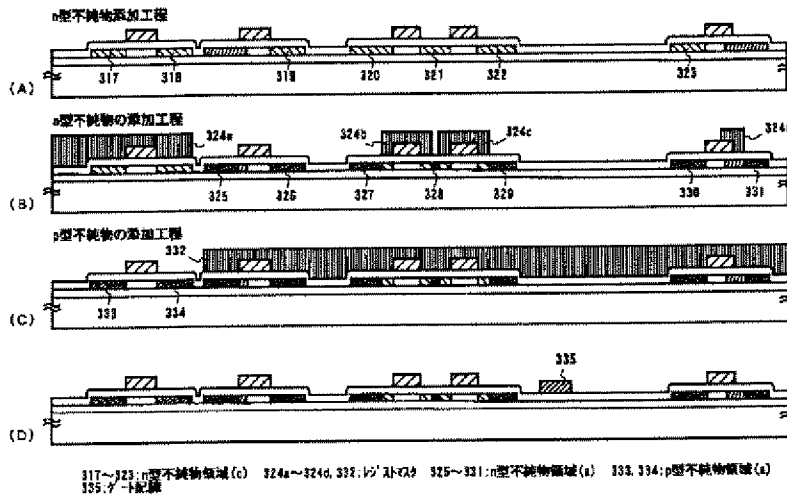


【図4】

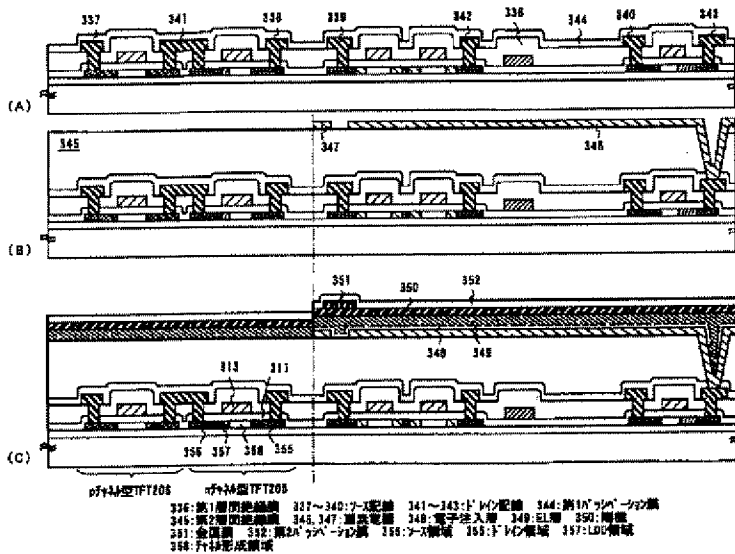


300: γ-2基板 301: 下地膜 302: γ-1シリコン膜 303: 保護膜 304a, 304b: γ-2シリコン膜
305, 306: n型不純物領域 (b) 307~310: 活性層 311: γ-1絶縁膜 312~315: γ-1電極

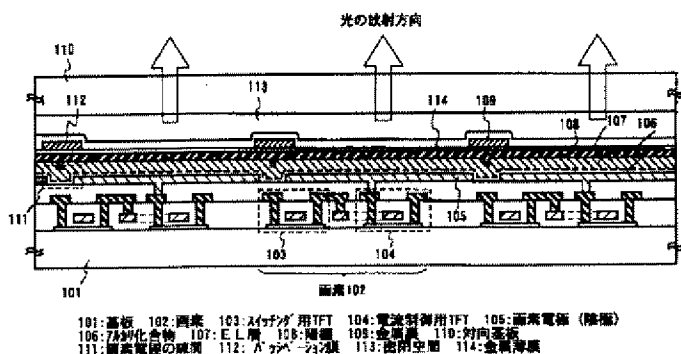
【图 5】



【図 6】



【图 15】



【图 1-4】

